Nanomeghyas
www.nanomeghyas.ir
نانومقیاس

بهبود مشخصه‌های الکتریکی ترانزیستور MESFET با اعمال تغییرات ساختاری

سید محمد رضوی[۱]، علی شاکری[۲] و زهرا دهقانی *[۲و]

۱- گروه مهندسی برق، دانشکده فنی و مهندسی، دانشگاه نیشابور، نیشابور، خراسان رضوی

۲-گروه فیزیک، دانشکده علوم پایه، دانشگاه نیشابور، نیشابور، خراسان رضوی

چکیده: در این مقاله، یک ساختار جدید از ترانزیستور اثر میدان فلز-نیمه‌هادی کربید سیلیسیم ارائه می‌شود. در ساختار پیشنهادی قسمت بالای کانال در زیر گیت از نیم‌رسانا با چگالی ناخالصی خیلی کم و در کف کانال از نیم‌رسانا با چگالی ناخالصی بالا استفاده شده است. مهمترین مشخصه‌های الکتریکی ترانزیستور پیشنهادی از قبیل ولتاژ شکست، جریان درین، ولتاژ آستانه، میدان الکتریکی و خازن گیت شبیه‌سازی و با این مشخصه‌ها در ترانزیستور مرسوم مقایسه شده است. با توجه به نتایج شبیه سازی، ساختار پیشنهادی باعث کم شدن بیشینه‌ی میدان الکتریکی در کانال و در نتیجه افزایش ولتاژ شکست از ۱۲۷ ولت به ۱۳۶,۵ ولت نسبت به ساختار مرسوم می‌شود. همچنین، ساختار جدید باعث افزایش ۳۰ درصدی جریان اشباع درین نسبت به ساختار اولیه می‌شود. چگالی ناخالصی بالا در کف کانال باعث شیفت منفی در ولتاژ آستانه در ترانزیستور ارائه شده می‌شود. با توجه به نتایج به‌دست آمده و افزایش جریان درین و ولتاژ شکست، ترانزیستور پیشنهادی می‌تواند در کاربردهای با توان بالاتر مورد استفاده قرار گیرد.

واژگان کلیدی: ترانزیستور اثر میدان فلز-نیمه‌هادی، جریان درین، ولتاژ شکست، ولتاژ آستانه، خازن گیت.

۱- مقدمه

ترانزیستور اثر میدانی فلز - نیمه‌هادی[۱] (مسفت) نخستین بار توسط مید[۲] در سال ۱۹۶۶ پیشنهاد شد که بر روی یک لایه روی‌هم-نشینی[۳] گالیم‌آرسناید ساخته شد. این ترانزیستور برای فرکانس بالا مناسب نبود اما شروعی برای توسعه و ساخت ترانزیستورهای فرکانس بالا بود. تفاوت بارزی که می‌توان بین این ترانزیستور و ترانزیستور اثر میدانی فلز-اکسید - نیمه‌هادی[۴] (ماسفت) بیان کرد، وجود اکسید گیت در ماسفت و غیاب این لایه در مسفت است، این خود باعث مقاوم شدن مسفت در برابر مشکلاتی است که اکسید گیت به وجود آورده‌است. مشکلاتی چون اثر حامل گرم[۵]، تشعشعات پلاسما و نویزپذیری از این قبیل هستند که در ترانزیستور مسفت رفع شده‌اند.

*zahra.dehghani@neyshabur.ac.ir

[1] Metal semiconductor field effect transistor (MESFET)
[2] Mead
[3] Epitaxial
[4] Metal Oxide semiconductor field effect transistor (MOSFET)
[5] Hot carrier effect

تاریخ دریافت : ۱۴۰۰/۰۴/۱۵
تاریخ پذیرش : ۱۴۰۰/۰۶/۰۷
DOR: 20.1001.1.24235628.1400.8.4.13.8

ایرادی که در کانال ترانزیستورهای ماسفت بارز است به وجود آمدن این کانال در اثر پدیده‌ی لایه معکوس در مزر بین اکسید و سیلیکان است، این اثر ایجاب می‌کند تا حامل‌ها، میدان قوی و پراکنش جدی را متحمل شوند، در نتیجه تحرک‌پذیری[6] موثر حامل‌ها کم شده و در نهایت هدایت انتقالی کاهش می‌یابد. این مشکل در ترانزیستور مسفت با ایجاد کانال در کف لایه فعال رفع شده که موجب بهبود تحرک‌پذیری حامل‌ها می‌شود.

به‌منظور بهبود عملکرد ترانزیستورهای اثر میدان می‌توان کاهش طول گیت را در دستور کار قرار داد اما این کار اثرات کانال کوتاه را به دنبال دارد [۱, ۲]. می‌توان با تغییر در کانال ترانزیستور و افزودن ناحیه‌های متفاوت، تغییر در شماتیک گیت و استفاده از ناحیه‌ی رانشی تو رفته بعضی مشکلات اثر کانال کوتاه را برطرف کرد [۳, ۴]. با کاهش ابعاد قطعات ماسفت به محدوده‌ی زیر میکرون ضخامت اکسید گیت مهمترین مسئله می‌شود. کوچک شدن اکسید گیت در ابعاد آنگستروم پیامدهایی چون تونل‌زنی را ایجاب می‌کند. بنابراین کوچک شدن اکسید گیت مانعی برای پیشرفت تکنولوژی محسوب شده و نیاز به قطعه‌ای جدید به نام مسفت به‌وجود آمد تا جایگزین ماسفت شود. ترانزیستور مسفت، پیوند فلز و نیمه هادی است که این باعث حذف لایه‌ی اکسید شده و ویژگی‌های بهتری مانند حساسیت کمتر به تشعشعات رادیویی، تحرک‌پذیری بالای حامل‌ها و نویزپذیری کمتر را نسبت به ماسفت‌ها دارا است [۵, ۶]. در این پژوهش یک ترانزیستور جدید با یک لایه‌ی نیمه‌هادی ذاتی در بالای کانال و یک لایه‌ی نیم‌رسانا با چگالی ناخالصی بیشتر در کف کانال ارائه شده‌است. برخی از مهمترین مشخصه‌های الکتریکی همچون جریان درین[7]، ولتاژ شکست[8]، ولتاژ آستانه[9] و خازن گیت[10] در ساختار جدید شبیه‌سازی و با پارامترهای مشابه در ساختار اولیه مقایسه شده‌است.

در بخش دوم، به معرفی ابعاد و مشخصه‌های ساختار جدید پرداخته شده‌است. در بخش سوم نتایج شبیه‌سازی شده توسط نرم افزار اطلس در ساختارهای جدید و اولیه ارائه شده است. در بخش چهارم نیز نتیجه‌گیری نهایی گزارش شده‌است.

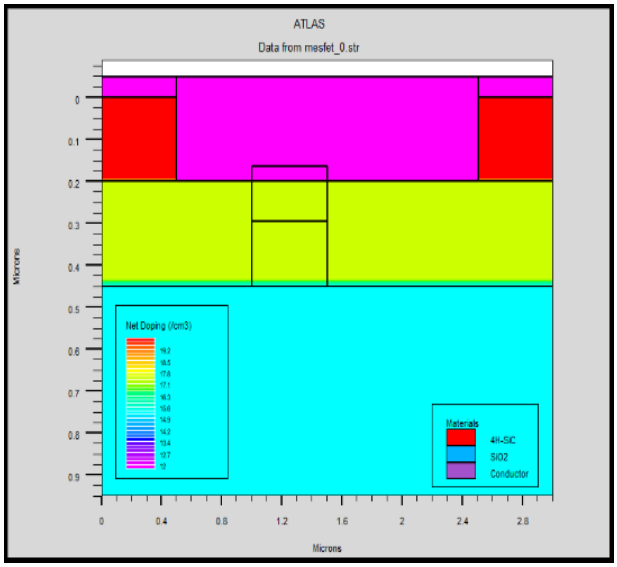
۲- معرفی ساختارها

دراین بخش ساختار مربوط به سه ترانزیستور با ساختارهای متفاوت تشریح می‌شود. شکل ۱ ساختمان ترانزیستور مسفت با گیت تو رفته را به‌عنوان ساختار مرسوم نشان می‌دهد. کانال این ترانزیستور دارای چگالی ناخالصی یکنواخت است. عرض کانال این ترانزیستور ۲۵۰ نانومتر است. این ساختار دارای طول گیت ۵۰۰ نانومتر، چگالی ناخالصی کانال $3 \times 10^{17}\ cm^{-3}$ ، فلز گیت در پیوند شاتکی نیکل با تابع کار 5.1eV ، فاصله‌ی گیت تا درین 1000 nm، فاصله‌ی گیت تا سورس 500 nm، چگالی ناخالصی لایه بافر $1.4 \times 10^{15}\ cm^{-3}$، پهنای لایه‌ی بافر 500 nm و ماده مورد استفاده در این ترانزیستور کربید سیلیسیم است [۱].

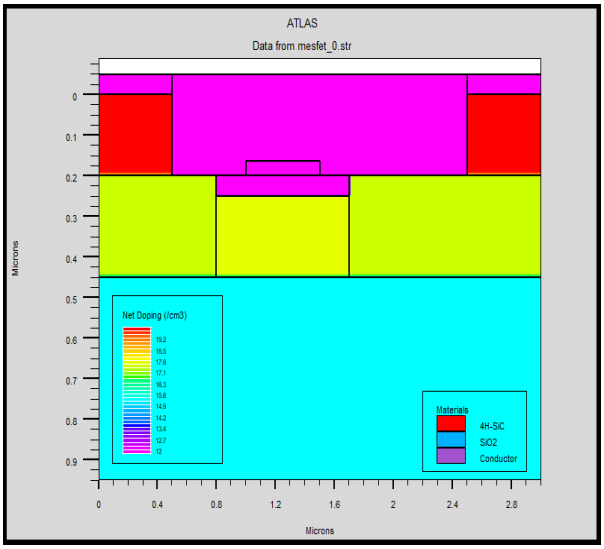
شکل ۲ ترانزیستور مسفت با گیت تو رفته با دو ناحیه زیر گیت به عنوان ساختار دوم را نشان می‌دهد. ناحیه‌ی بالایی زیر گیت دارای عرض 50 nm و ناحیه‌ی پایینی زیر گیت دارای عرض 200 nm است. از نیم‌رسانا ذاتی برای ناحیه‌ی بالایی استفاده شده و چگالی ناخالصی ناحیه‌ی پایین $4 \times 10^{17} cm^{-3}$ است. شکل ۳، ساختار جدیدی از ترانزیستور پیشنهادی را نشان می‌دهد که عرض ناحیه‌ی بدون ناخالصی به 100 nm افزایش یافته و ناحیه‌ی پایینی دارای عرض 150 nm با چگالی ناخالصی $4 \times 10^{17}\ cm^{-3}$ است.

همانطور که بیان شد، تفاوت دو ساختار پیشنهادی در عرض ناحیه بدون ناخالصی است که در ساختار دوم 50 nm و در ساختار سوم 100 nm انتخاب شده است.

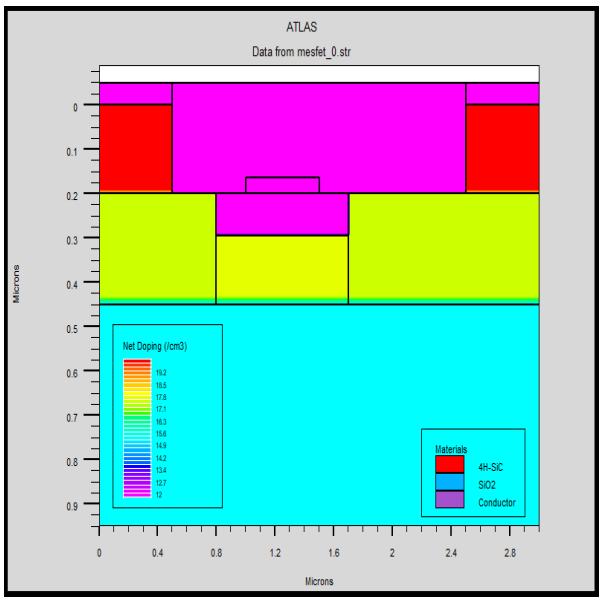
[6] Mobility
[7] Drain current
[8] Breakdown voltage
[9] Threshold voltage
[10] Gate capacitance



شکل ۱. طرح‌واره ساختار ترانزیستور مرسوم



شکل ۲. طرح‌واره ساختار دوم، ترانزیستور با ناحیه بالا و پایین به ترتیب با عرض ۵۰ نانومتر و ۲۰۰ نانومتر



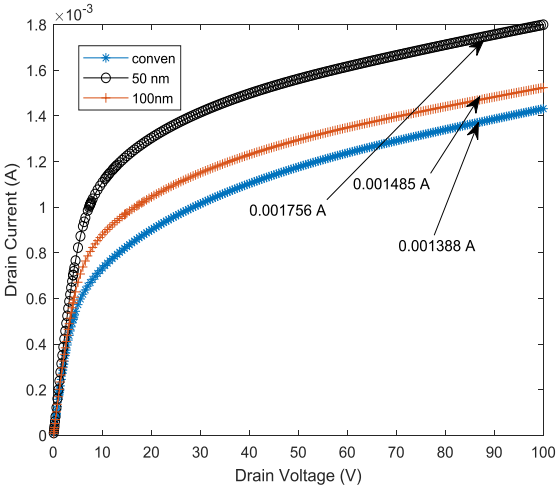
شکل ۳. طرح‌واره ساختار سوم، ترانزیستور با ناحیه بالا و پایین به ترتیب با عرض ۱۰۰ نانومتر و ۱۵۰ نانومتر

۳- نتایج شبیه‌سازی

شبیه‌سازی‌ها برای هر سه ساختار در شرایط بایاس یکسان انجام شده‌است. در این شبیه‌سازی‌ها ولتاژ آستانه، جریان اشباع درین، ولتاژ شکست، میدان بیشینه‌ی داخل کانال، خازن گیت–سورس و خازن گیت–درین بررسی می‌شوند.

۳-۱ جریان اشباع درین

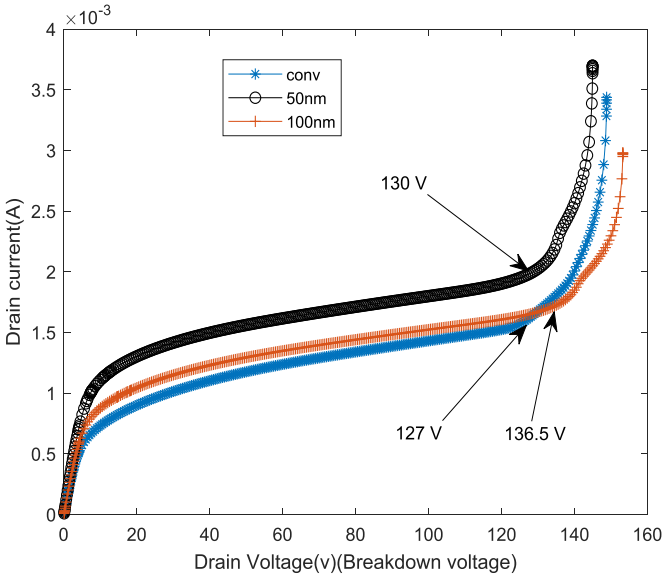
شکل ۴ جریان اشباع درین را نشان می‌دهد. سه نمودارتغییرات جریان اشباع درین بر حسب تغییرات ولتاژ درین، مربوط به سه ساختار ذکر شده در این شکل گردآوری شده‌است که بیشینه مقادیر جریان اشباع درین، مشخص هستند. نمودار آبی رنگ مربوط به ترانزیستور با ساختار مرسوم، نمودار قرمز رنگ مربوط به ساختار سوم و نمودار مشکی مربوط به ساختار دوم است. این شبیه سازی برای هر سه ساختار در ولتاژ گیت $-2\ V$ و ولتاژ درین $100\ V$، انجام شده‌است. با توجه به شکل، جریان درین از $0\ V$ تا $10\ V$ به‌صورت خطی زیاد می‌شود که از $10\ V$ به بعد وارد ناحیه‌ی اشباع می‌شود. مقدار جریان اشباع درین برای ساختار پایه برابر با 13.88×10^{-4} آمپر، برای ساختار دوم برابر با 17.56×10^{-4} آمپر و برای ساختار سوم برابر با 14.85×10^{-4} آمپر است. با توجه به شکل و مقادیر به‌دست آمده از نمودار نتیجه می‌شود که ساختار دوم برای جریان اشباع درین شرایط بهتری نسبت به دو ساختار دیگر دارد. ساختار دوم دارای حجم ناحیه‌ی با چگالی ناخالصی بیشتر در کف کانال نسبت به دوساختار دیگر است. از آنجایی که عبور حامل‌ها از کف کانال بین سورس و درین برقرار شده و جریان را به‌وجود می‌آورد ناحیه‌ی کف کانال تاثیرمستقیم بر جریان درین داشته و باعث بهبود جریان ساختار دوم نسبت به دو ساختار دیگر می‌شود.



شکل۴. نمودار جریان درین بر حسب تغییرات ولتاژ درین

۳-۲ ولتاژ شکست

شکل ۵، ولتاژ شکست برای سه ساختار را بررسی می‌کند. با تنظیمات انجام شده در نرم افزار می‌توان از نمودارهای مربوط به جریان درین برای نشان دادن ولتاژ شکست استفاده کرد. شبیه-سازی برای هر ساختار در ولتاژ گیت 2 V- و ولتاژ درین تا 200 V انجام شده است. به‌منظور به‌دست آوردن ولتاژ شکست می-بایست نمودار تغییرات جریان درین بر حسب ولتاژ درین را برای ولتاژهای بالاتری محاسبه کرد. این شبیه‌سازی در شکل ۵ نشان می‌دهد که در ابتدا جریان درین برای سه ترانزیستور به صورت خطی افزایش یافته و سپس وارد ناحیه‌ی اشباع شده و با شیب خیلی کندتری بالا می‌رود، پس از ناحیه‌ی اشباع، ترانزیستور توان تحمل ولتاژ اعمالی را نداشته و وارد ناحیه‌ی شکست می‌شود. وقتی ترانزیستور به ولتاژ شکست خود می‌رسد، جریان به‌سرعت زیاد شده و نمودار جریان درین بر حسب ولتاژ درین به‌صورت عمودی بالا می‌رود، بنابراین با به‌دست آوردن ولتاژ مربوط به این قسمت از نمودار می‌توان ولتاژ شکست را برای هر ساختار محاسبه کرد. با توجه به شکل می‌توان نتیجه گرفت که ساختار پایه دارای ولتاژ شکست 127 V، ساختار دوم دارای ولتاژ شکست 130 V و ساختار سوم دارای ولتاژ شکست 136.5 Vهستند. با توجه به شکل و نتایج شبیه‌سازی می‌توان گفت که ساختار سوم ولتاژ شکست بالاتری داشته که از این جهت نسبت به دو ساختار دیگر عملکرد بهتری دارد. در ساختار سوم حجم ناحیه‌ی با نیمه‌هادی ذاتی افزایش یافته که این امر باعث کاهش میدان الکتریکی بیشینه و در نتیجه افزایش ولتاژ شکست می‌شود. زیرا میدان الکتریکی داخل کانال با چگالی ناخالصی رابطه‌ی عکس دارد.

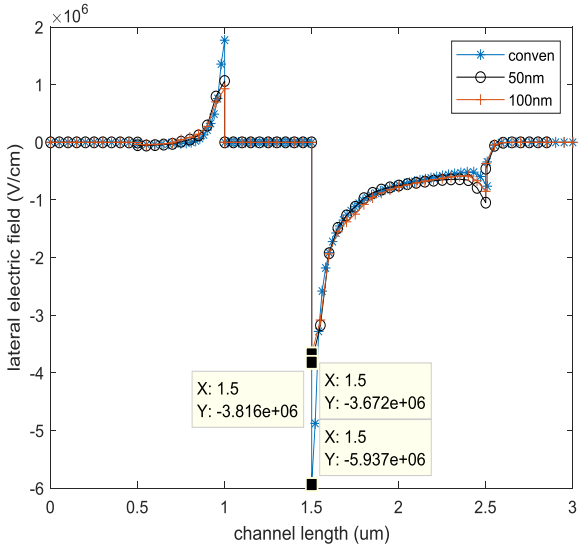


شکل۵. نمودار جریان درین بر حسب تغییرات ولتاژ درین به منظور محاسبه‌ی ولتاژ شکست برای سه ساختار معرفی شده

۳-۳ میدان الکتریکی

در شکل ۶ نمودارهای مربوط به میدان الکتریکی داخل کانال ترانزیستور برای سه ساختار شبیه‌سازی شده است. هر یک از ساختارها در ولتاژ گیت 2 V- و ولتاژ 100 V شبیه سازی شده-اند. به‌منظور محاسبه‌ی میدان بیشینه، نمودار میدان بر حسب تغییرات طول کانال ترانزیستور مورد بررسی قرار گرفته است. با توجه به شکل ۶ رفتار میدان درون ترانزیستور بدین صورت است که بیشترین تغییر در گوشه‌ی سمت راست گیت و نزدیک درین بوده و در نواحی دیگر به جز گوشه‌ی سمت چپ گیت نزدیک سورس تقریبا صفر است. بنابراین ناحیه‌ی گوشه‌ی سمت راست گیت نزدیک درین برای بررسی میدان اهمیت ویژه‌ای دارد. هر چقدر ساختار ارائه شده در این قسمت دارای میدان کمتری باشد یعنی دیرتر به بیشترین مقدار رسیده باشد، عملکرد قطعه بهتر می‌شود. بهبود میدان الکتریکی برای ترانزیستور سبب می‌شود ترانزیستور بتواند در ولتاژهای درین بزرگتری مورد استفاده قرار گیرد. بنابراین اگر میدان کاهش یابد، ولتاژ شکست نیز افزایش

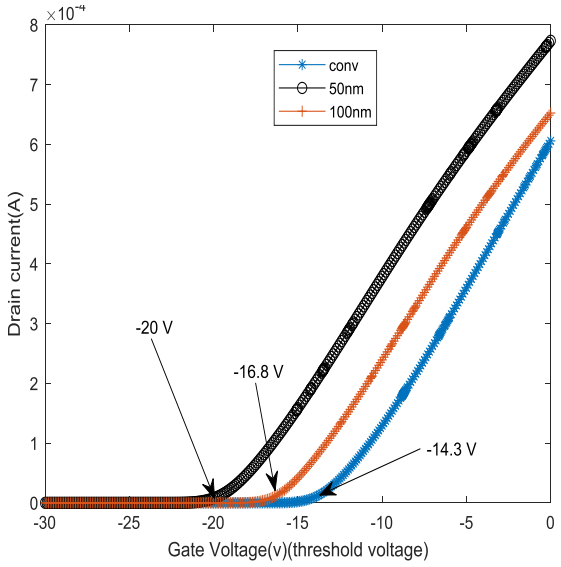
می‌یابد. با توجه به شکل ۶، میدان بیشینه برای ساختار پایه تقریبا برابر $6*10^6 V/cm$، برای ساختار دوم $3.816*10^6 V/cm$ و برای ساختار سوم $3.672*10^6 V/cm$است. با توجه به مقادیر موجود نتیجه می‌شود که ساختارهای دوم و سوم دارای میدان الکتریکی کمتری نسبت به ساختار پایه هستند.



شکل ۶. نمودار میدان الکتریکی بر حسب تغییرات طول کانال به منظور محاسبه‌ی میدان بحرانی

۴-۳ ولتاژ آستانه

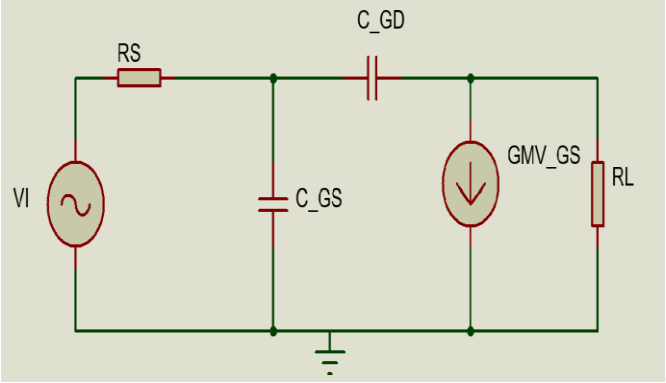
شکل ۷، ولتاژ آستانه برای سه ساختارمعرفی شده را بررسی می‌کند. نمودارهای مربوط به شبیه سازی جریان درین برای سه ساختار در این شکل لحاظ شده‌اند. شبیه سازی برای هر ساختار در ولتاژ گیت 30 V- و ولتاژ درین 4 V انجام شده است. به‌منظور به‌دست آوردن ولتاژ آستانه می‌بایست نمودار تغییرات جریان درین بر حسب ولتاژ گیت را به‌دست آورد. این شبیه سازی در شکل ۷، نشان می‌دهد که در ابتدا ترانزیستور خاموش بوده و با افزایش ولتاژ گیت جریان درین صفر است، زمانی ترانزیستور روشن شده و جریان درین زیاد می‌شود که ولتاژ گیت-سورس ترانزیستور به ولتاژ مورد نیاز برای روشن شدن(ولتاژ آستانه) برسد. پس از این ولتاژ ترانزیستور روشن شده و جریان درین به سرعت افزایش می‌یابد. با توجه به شکل و نتایج شبیه‌سازی به‌منظور مشخص کردن ولتاژ آستانه، برای ساختار پایه این مقدار برابر 14.3 V-، برای ساختار دوم برابربا 20 V- و برای ساختار سوم برابر با 16.8 V- است. با توجه به مقادیر موجود، نتیجه می‌شود که ولتاژ آستانه برای ساختار دوم دارای شیفت منفی بیشتری است. زیرا در این ترانزیستور حجم بیشتری از کف کانال دارای چگالی ناخالصی بیشتر بوده و در نتیجه در شرایط یکسان این ترانزیستور نسبت به دو ساختار دیگر در ولتاژ گیت منفی تری روشن می‌شود.



شکل۷. نمودار جریان بر حسب تغییرات ولتاژ گیت به منظور محاسبه‌ی ولتاژ آستانه‌ی سه ساختار

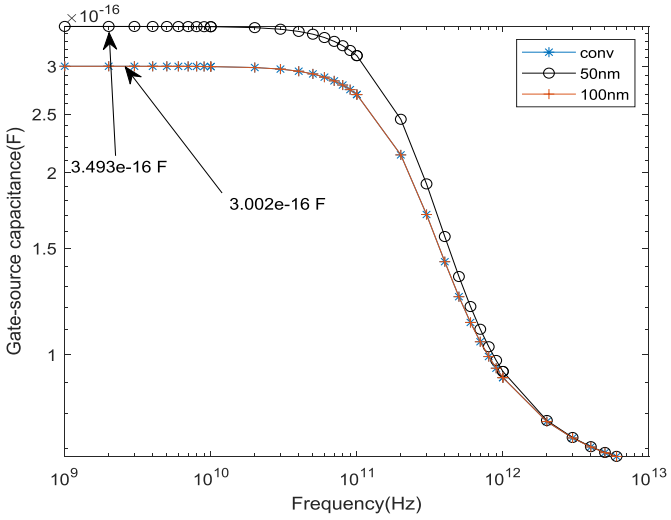
۵-۳ خازن گیت-سورس

مدار معادل خازنی یک ترانزیستور اثر میدانی در شکل ۸ نشان داده شده است. مهمترین خازن‌های این ترانزیستور خازن گیت-سورس و خازن گیت-درین هستند که در ادامه تغییرات این دوخازن در ساختار پیشنهادی با ترانزیستور مرسوم مقایسه می‌شود. این دو خازن بر عملکرد ترانزیستور در فرکانس‌های بالا تاثیر زیادی خواهند داشت.



شکل ۷. مدار معادل خازنی ترانزیستور اثر میدان با خازن‌های گیت

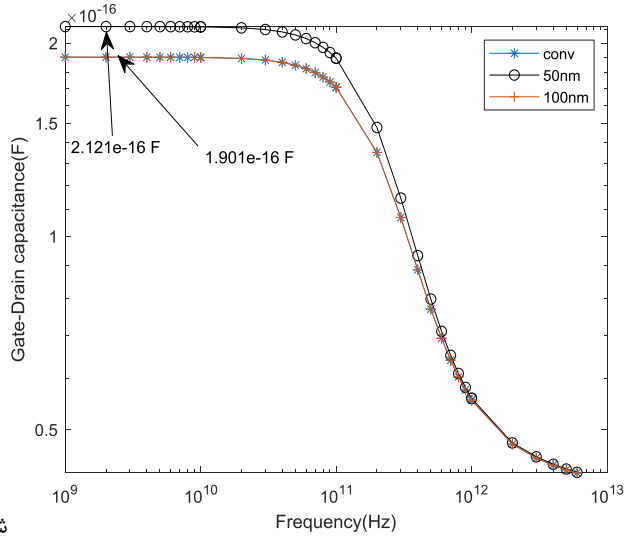
در شکل ۹، خازن گیت–سورس سه ساختار بررسی شده است. نمودار تغییرات خازن گیت–سورس برحسب تغییرات فرکانس تا 1THz برای سه ساختار در این شکل، در ولتاژ گیت 0 V و ولتاژ درین 4 V، شبیه‌سازی شده‌است. هر چقدر خازن یک ترانزیستور کوچک‌تر باشد، عملکرد آن در فرکانس‌های بالا بهتر است. با توجه به شکل بیشترین مقادیر خازن به‌دست آمده برای ساختار پایه و ساختار سوم برابر با $3.002 \times 10^{-16}\ F$ و برای ساختار دوم برابر $3.493 \times 10^{-16}\ F$ است. با توجه به این مقادیر نتیجه می‌شود که ساختار پایه و ساختار سوم شرایط بهتری برای خازن گیت–سورس نسبت به ساختار دوم دارند.



شکل۹. نمودار خازن گیت–سورس بر حسب تغییرات فرکانس برای سه ساختار در ولتاژ گیت 0 V و ولتاژ 4 V

۶-۳ خازن گیت–درین

در شکل ۱۰، خازن گیت–درین سه ساختار بررسی شده‌است. نمودار تغییرات خازن گیت–درین برحسب تغییرات فرکانس تا 1THz برای سه ساختار در این شکل، در ولتاژ گیت 0 V و ولتاژ درین 4 V، شبیه‌سازی شده‌است. همانند خازن گیت–سورس نیز هر چقدر خازن گیت–درین کوچک‌تر باشد، عملکرد قطعه بهتر می‌شود. نتایج شبیه‌سازی بیشترین مقادیر خازن به‌دست آمده برای ساختار پایه و ساختار سوم برابر با $1.901*10^{-16}$ Fو برای ساختار دوم برابر با $2.121*10^{-16F}$است. با توجه به شکل و مقادیر به‌دست آمده نتیجه می‌شود که ساختار پایه و ساختار سوم، همانند خازن گیت–سورس شرایط بهتری نسبت به ساختار دوم دارند.



شکل ۱۰. نمودار خازن گیت–درین بر حسب تغییرات فرکانس برای سه ساختار مورد بررسی در ولتاژ گیت 0 V و ولتاژ درین 4 V

خلاصه‌ی همه نتایج شبیه‌سازی شده در جدول ۱ آورده شده است. با توجه به جدول و مقایسه‌ی داده‌های موجود، نتیجه‌ی مقایسه‌ی سه ساختار انجام می‌شود.

جدول۱. مقادیر بیشینه‌ی شبیه سازی شده برای پارامترهای مختلف سه ساختار معرفی شده

پارامتر مورد بررسی	ساختار پایه	ساختار با ناحیه ۵۰nm	ساختار با ناحیه ۱۰۰nm
جریان اشباع درین 10^{-4}(A)	۱۳٫۸۸	۱۷٫۵۶	۱۴٫۸۵
ولتاژ شکست(V)	۱۲۷	۱۳۰	۱۳۶٫۵
ولتاژ آستانه(V)	-۱۴٫۳	-۲۰	-۱۶٫۸
میدان الکتریکی(10^6 V/cm)	۶	۳٫۸۱۶	۳٫۶۷۲
خازن گیت-سورس (10^{-16} F)	۳٫۰۰۲	۳٫۴۹۳	۳٫۰۰۲
خازن گیت- درین (10^{-16} F)	۱٫۹۰۰۱	۲٫۱۲۱	۱٫۹۰۰۱

ساختار دوم، در ولتاژ آستانه و جریان اشباع درین نسبت به حالت پایه و ساختارسوم شرایط بهتری دارد. برای میدان الکتریکی، دو ساختار جدید مقادیرتقریبا یکسان و کمتری نسبت به حالت پایه دارند. ولتاژ شکست دو ساختار پیشنهادی از ساختار پایه بزرگتر

است. ساختار پایه دارای خازن گیت کوچکتری در مقایسه با ترانزیستور پیشنهادی است.

۴- مقایسه با پژوهش‌های مشابه

در پژوهش مرجع ۸ ،از تورفتگی گیت در داخل کانال جهت بهبود عملکرد ترانزیستور استفاده شده است. با توجه به نتایج بدست آمده از مرجع ۸، تورفتگی گیت در داخل کانال باعث بهبود جریان درین و کاهش خازن گیت و کاهش ولتاژ شکست می‌شود. در ساختار پیشنهادی ما، افزایش چگالی ناخالصی در کف کانال باعث بهبود جریان درین و شیفت منفی در ولتاژ آستانه می‌شود. همچنین ساختار پیشنهادی برخلاف پژوهش شماره ۸ باعث کاهش بیشینه میدان در داخل کانال و بهبود ولتاژ شکست می-شود. در مرجع شماره ۹، استفاده از دو لایه با ناخالصی کم در دو سمت سورس و درین باعث افزایش ولتاژ شکست ترانزیستور شده است. البته، با توجه به نتایج بدست آمده در این تحقیق، ساختار ارائه شده در این مرجع باعث کاهش میانگین چگالی ناخالصی در کانال و درنتیجه کاهش جریان درین می‌شود. مهمترین مزیت ساختار پیشنهادی در این مقاله نسبت به مرجع ۹ در اینست که همزمان باعث افزایش ولتاژ شکست و جریان درین می‌شود. از مقایسه ساختار پیشنهادی در این تحقیق و مرجع ۷ می‌توان نتیجه گرفت که برای افزایش جریان درین در مرجع ۷ از تورفتگی کانال در لایه بافر استفاده شده است. تورفتگی کانال در بافر باعث کاهش ضخامت لایه بافر و افزایش پهنای کانال و در نتیجه بهبود جریان درین می‌شود. البته باید توجه داشت که کاهش ضخامت لایه بافر می‌تواند باعث افزایش جریان نشتی کانال به سمت زیر لایه شود. چون در ساختار پیشنهادی ضخامت لایه یافر ثابت مانده و از افزایش چگالی ناخالصی کف کانال جهت بهبود جریان درین استفاده شده در نتیجه این ترانزیستور نسبت به مرجع ۷ مشکل افزایش جریان نشتی زیر لایه را نخواهد داشت.

۵- نتیجه‌گیری

در این مقاله یک ترانزیستور مسفت جدید با ضخامت کانال در مقیاس نانو ارائه شد که در قسمت بالایی زیر گیت، از نیمه‌هادی ذاتی و در کف کانال از نیمه‌هادی با چگالی ناخالصی بیشتر استفاده شده است. ناحیه‌ی با نیم‌رسانا ذاتی باعث کاهش میدان الکتریکی بیشینه و افزایش ولتاژ شکست می‌شود. افزایش چگالی ناخالصی در کف کانال باعث افزایش جریان درین اشباع و شیفت منفی ولتاژ آستانه می‌شود. برای سه ساختار مورد بررسی، در شرایط یکسان شبیه‌سازی‌های مربوط به ولتاژ شکست، ولتاژ آستانه، میدان الکتریکی، جریان اشباع درین و خازن‌ها انجام شده است.

باتوجه به موارد ذکر شده و نتایج شبیه سازی و تحقیقی که صورت گرفته‌است، می‌توان نتیجه گرفت که ساختار پیشنهادی دارای عملکرد بهتری در جریان درین، میدان الکتریکی، ولتاژ شکست و ولتاژ آستانه نسبت به ساختار پایه است. همچنین ساختار پایه دارای خازن گیت کوچکتری در مقایسه با ترانزیستور پیشنهادی است.

مراجع

[1] T. Chiang, “The new analytical subthreshold behavior model for dual material gate (DMG) SOI MESFET,” 2008 9th International Conference on Solid-State and Integrated-Circuit Technology, IEEE, China, 2008.

[2] H. Jia, Y. Liang, T. Li, Y. Tong, S. Zhu, X. Wang, T. Zeng, Y. Yang, “Improved DRUS 4H-SiC MESFET with high power added efficiency,” Micromachines, 11, 35, 2020.

[3] H. Jia, Y. Tong, T. Li, S. Zhu, Y. Liang, X. Wang, T. Zeng, Y, Yang, “An Improved 4H-SiC MESFET with a Partially Low Doped Channel,” Micromachines, 10, 555, 2019.

[4] K. Lee, M. Al-Mudares, S. Beaumont, C. Wilkinson, J. Frost, C. Stanley, “Very high-transconductance short-channel GaAs MESFETs with Ga, Al, As buffer layer,” Electronics Letters, 23, 11-12, 1987.

[5] C-S. Hou, C-Y. Wu, “ A 2-D analytic model for the threshold-voltage of fully depleted short gate-

length Si-SOI MESFETs," IEEE Transactions on Electron Devices, 42, 2156-2162, 1995.

[6] J. Spann, V. Kushner, TJ. Thornton, J. Yang, A. Balijepalli, HJ. Barnaby, X. J. Chen, D. Alexander , W.T. Kemp, S.J. Sampson, M.E. Wood, "Total dose radiation response of CMOS compatible SOI MESFETs," IEEE transactions on nuclear science, 52, 2398-2402, 2005.

[7] S. M. Razavi, "An Improved 4H-SiCMESFET with Un-Doped and Recessed Area under the Gate for High Power Applications," Silicon, 699-674, 2020.

[8] C. L. Zhu, C. C. Rusli, B. Tin, G. H. Zhang, S. F. Yoon, J. Ahn, "Improved performance of SiC MESFETs using double-recessed structure," Microelectronic Engineering, 83, 92–95, 2006.

[9] H. Jia, T. Li, Y. Tong, S. Zhu, Y. Liang, X. Wang, T. Zeng, Y. Yintang, "A novel 4H-SiC MESFET with symmetrical lightly doped drain for high voltage and high power applications," Mater Sci Semicond Process, 105, 104707, 2020.

Nanomeghyas
www.nanomeghyas.ir
نانومقیاس

Structural variations in MESFET for improving electrical characteristics

S. M. Razavi[1], A. Shakeri[2], Z. Dehghani [2, *]

[1]Department of Electrical Engineering, University of Neyshabur

[2]Department of Physics, University of Neyshabur, Neyshabur

Abstract: In this paper, a new structure of the SiC metal-semiconductor field effect transistor (SiC-MESFET) is presented. In the proposed structure of the upper part of the channel under the gate, a semiconductor with very low impurity density is used and at the bottom of the channel, a semiconductor with a high impurity density is used. The most important electrical characteristics of the proposed transistor such as breakdown voltage, drain current, threshold voltage, electric field and gate capacitor are simulated and compared with these characteristics in conventional transistor. According to the simulation results, the proposed structure reduces the maximum electric field in the channel and thus increases the breakdown voltage from 127 V to 136.5 V compared to the conventional structure. The new structure also increases the saturation drain current by 30% compared to the conventional structure. The high density of impurities in the channel bottom causes a negative shift in the threshold voltage in the provided transistor. According to the obtained results and increasing the drain current and the breakdown voltage, the proposed transistor can be used in high power applications.

Keywords: Metal semiconductor field effect transistor (MESFET), Drain current, Breakdown voltage, Threshold voltage, Gate capacitance

*Correspondent Author Email: zahra.dehghani@neyshabur.ac.ir *Winter 2021 | volume8 | Issue 4 | pages 104-111*